

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-122705

(43)Date of publication of application : 10.05.1990

(51)Int.Cl. H03B 5/32

(21)Application number : 63-276463

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1988

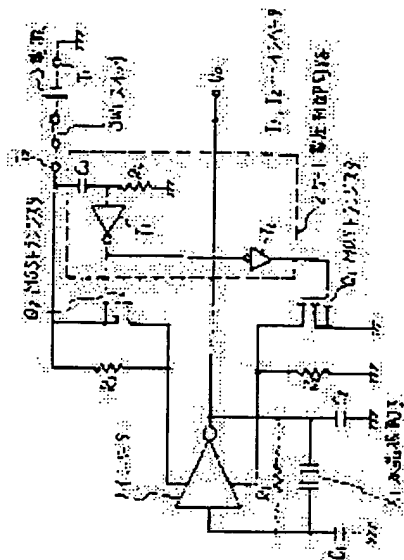
(72)Inventor : NAKAJIMA KEIICHI

(54) LOW POWER CONSUMPTION TYPE CMOS CRYSTAL OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To stably start oscillation by constituting a circuit in such a way that a resistor for reducing power consumption inserted between the power source supply terminal of an inverter and a power source terminal is short-circuited for a prescribed time at the time of starting the oscillation.

CONSTITUTION: The resistors R2 and R3 are short-circuited for the prescribed time corresponding to the time constant of a capacitor C3 and the resistor R4 by MOS transistors Q1 and Q2 at the time of starting the oscillation when a switch SW1 is turned on. Since a voltage between first and second power source terminals T1 and T2 is applied on the first and second power source supply terminals of the inverter 1 as it is, the voltage between the terminals T1 and T2 i.e., an oscillation start voltage can be reduced compared with a conventional one, which starts the oscillation stably even in a low voltage power source.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報(A) 平2-122705

⑬ Int. Cl.⁵

H 03 B 5/32

識別記号

庁内整理番号

D 7922-5J

⑭ 公開 平成2年(1990)5月10日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 低消費電流型CMOS水晶発振回路

⑯ 特 願 昭63-276463

⑰ 出 願 昭63(1988)10月31日

⑱ 発 明 者 中 島 啓 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

型CMOS水晶発振回路。

発明の名称

低消費電流型CMOS水晶発振回路

発明の詳細な説明

(産業上の利用分野)

本発明は低消費電流型CMOS水晶発振回路に関し、特に電源供給回路に抵抗を設け発振時の消費電流を低減させる構成の低消費電流型CMOS水晶発振回路に関する。

(従来の技術)

従来、この種の低消費電流型CMOS水晶発振回路は、第3図に示すように、CMOS型のインバータ1と、このインバータ1の入力端及び出力端間に並列接続された第1の抵抗R₁及び水晶振動子X₁と、インバータ1の入力端及び出力端と第1の電源端子である接地端子T₁との間にそれぞれ接続された第1及び第2のコンデンサC₁、C₂と、インバータ1の第1の電源供給端と接地端子T₁との間に接続された第2の抵抗R₂と、インバータ1の第2の電源供給端と第2の電源端子T₂との間に接続された第3の抵抗R₃とを備

特許請求の範囲

CMOS型のインバータと、このインバータの入力端及び出力端間に並列接続された第1の抵抗及び水晶振動子と、前記インバータの第1の電源供給端と第1の電源端子との間に並列接続された第2の抵抗及び一導電型の第1のMOSトランジスタと、前記インバータの第2の電源供給端と第2の電源端子との間に並列接続された第3の抵抗及び逆導電型の第2のMOSトランジスタと、前記第1及び第2の電源端子との間に接続され、第1及び第2の出力端を前記第1及び第2のMOSトランジスタのゲートにそれぞれ対応して接続し発振開始時の所定の期間前記第1及び第2のMOSトランジスタをオン状態とするゲート電圧制御回路とを有することを特徴とする低消費電流

え、第2及び第3の抵抗 R_2 、 R_3 は発振時、インバータ1の貫通電流等~~を~~減して消費電流を低減する構成となっていた。

この回路は、スイッチ SW_1 がオンとなり、第1の電源端子である接地端子 T_1 と第2の電源端子 T_2 との間の電圧(以下電源電圧という)が所定の電圧(以下発振開始電圧 V_{STA} という)に達すると水晶振動子 X_1 の固有振動数に相当する周波数で発振し、一旦発振した後は、電源電圧を発振開始電圧 V_{STA} よりある程度下げても発振を継続する。

(発明が解決しようとする課題)

上述した従来の低消費電流型CMOS水晶発振回路は、インバータ1の貫通電流等による消費電流を低減するために、インバータ1の第1及び第2の電源供給端と第1及び第2の電源端子(T_1 、 T_2)との間にそれぞれ抵抗が挿入された構成となっているので、インバータ1の第1及び第2の電源供給端間に印加される電圧が低くなるために発振開始電圧 V_{STA} が上昇し低電圧電源

圧制御回路とを有している。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す回路図である。

この実施例は、CMOS型のインバータ1と、このインバータ1の入力端及び出力端間に並列接続された第1の抵抗 R_1 及び水晶振動子 X_1 と、インバータ1の入力端及び出力端と第1の電源端子である接地端子 T_1 との間にそれぞれ接続された第1及び第2のコンデンサ C_1 、 C_2 と、インバータ1の第1の電源供給端と接地端子 T_1 との間に並列接続された第2の抵抗 R_2 及びNチャンネルのMOSトランジスタ Q_1 と、インバータ1の第2の電源供給端と第2の電源端子 T_2 との間に並列接続された第3の抵抗 R_3 及びPチャンネルのMOSトランジスタ Q_2 と、第1及び第2の電源端子(T_1 、 T_2)間に直列接続された第3のコンデンサ C_3 及び第4の抵抗 R_4 、入力端をこれ

では発振しにくくなるという欠点がある。

本発明の目的は、発振開始電圧を低くすることができ、低電圧電源でも安定して発振開始する低消費電流型CMOS水晶発振回路を提供することにある。

(課題を解決するための手段)

本発明の低消費電流型CMOS水晶発振回路は、CMOS型のインバータと、このインバータの入力端及び出力端間に並列接続された第1の抵抗及び水晶振動子と、前記インバータの第1の電源供給端と第1の電源端子との間に並列接続された第2の抵抗及び一導電型の第1のMOSトランジスタと、前記インバータの第2の電源供給端と第2の電源端子との間に並列接続された第3の抵抗及び逆導電型の第2のMOSトランジスタと、前記第1及び第2の電源端子との間に接続され、第1及び第2の出力端を前記第1及び第2のMOSトランジスタのゲートにそれぞれ対応して接続し発振開始時の所定の期間前記第1及び第2のMOSトランジスタをオン状態とするゲート電

圧制御回路とを有している。この回路は、インバータ1の入力端及び出力端間に並列接続された第1の抵抗 R_1 及び水晶振動子 X_1 と、インバータ1の入力端及び出力端と第1の電源端子である接地端子 T_1 との間にそれぞれ接続された第1及び第2のコンデンサ C_1 、 C_2 と、インバータ1の第1の電源供給端と接地端子 T_1 との間に並列接続された第2の抵抗 R_2 及びNチャンネルのMOSトランジスタ Q_1 と、インバータ1の第2の電源供給端と第2の電源端子 T_2 との間に並列接続された第3の抵抗 R_3 及びPチャンネルのMOSトランジスタ Q_2 と、第1及び第2の電源端子(T_1 、 T_2)間に直列接続された第3のコンデンサ C_3 及び第4の抵抗 R_4 、入力端をこれらコンデンサ C_3 及び抵抗 R_4 の直列接続点と接続するインバータ I_1 、並びに入力端をこのインバータ I_1 の出力端と接続するインバータ I_2 を備え、インバータ I_1 の出力端を第2のMOSトランジスタ Q_2 のゲートと接続しインバータ I_2 の出力端を第1のMOSトランジスタ Q_1 のゲートと接続し、スイッチ SW_1 をオンにして発振開始するとき、コンデンサ C_3 及び抵抗 R_4 で定まる時定数に応じた所定の期間、MOSトランジスタ Q_1 、 Q_2 をオン状態とするゲート電圧制御回路2とを有する構成となっている。

従って、スイッチ SW_1 をオンにした発振開始時には抵抗 R_2 、 R_3 がMOSトランジスタ Q_1 、 Q_2 により短絡され、第1及び第2の電源端子(T_1 、 T_2)間の電圧がそのままインバータ1の第1及び第2の電源供給端に印加されるので、発振開始する第1及び第2の電源端子(T_1 、 T_2)間の電圧、すなわち発振開始電圧 V_{STA} が従来例と比較して低くなり、低電圧電源でも安定して発振開始する。

発振開始後、所定の時間経過するとMOSトランジスタ Q_1 、 Q_2 はオン状態となって従来例と同様にインバータ1の第1及び第2の電源供給端に抵抗 R_2 、 R_3 が接続された形となり、インバータ1に供給される電源電圧は低下するが発振は維持され、しかも抵抗 R_2 、 R_3 が電源供給回路に挿入されているので消費電流は低減される。

第2図は本発明の第2の実施例を示す回路図である。

この実施例は、第1の実施例のインバータ I_1 の代わりに2入力のNORゲート G_1 を用いたもので、このNORゲート G_1 の1入力を外部に引き出し、外部からも制御ができるようにしたものである。

この実施例では、消費電流の制御を外部、内部のどちらかに選択できるという利点がある。

なお、インバータ1に μ PD74HC04を使用し、抵抗 R_2 、 R_3 を $2k\Omega$ としたときの発振開始電圧 V_{STA} は、従来の回路では $1.60V$ であったものが、これら実施例では $1.45V$ と

なり、 $0.1V$ 低下した。

(発明の効果)

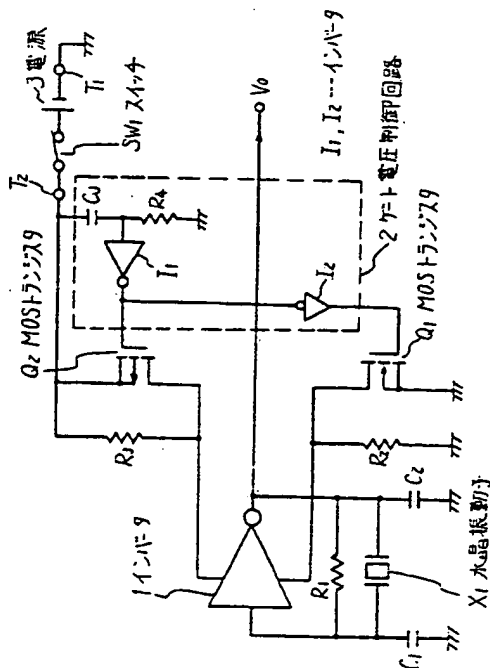
以上説明したように本発明は、インバータの電源供給端と電源端子との間に挿入された消費電流低減用の抵抗を発振開始時の所定の期間短絡する構成とすることにより、発振開始電圧を低くすることができ、低電圧電源でも安定して発振開始するという効果がある。

図面の簡単な説明

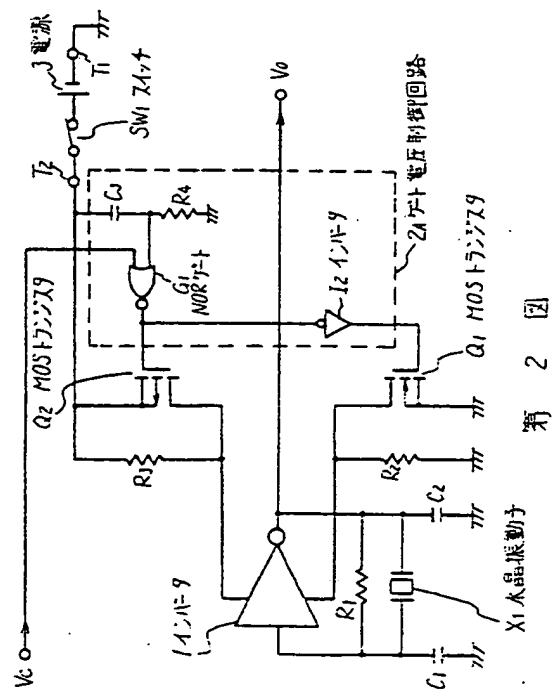
第1図及び第2図はそれぞれ本発明の第1及び第2の実施例を示す回路図、第3図は従来の低消費電流型CMOS水晶発振器の一例を示す回路図である。

1…インバータ、2、2A…ゲート電圧制御回路、3…電源、 $C_1 \sim C_3$ …コンデンサ、 G_1 …NORゲート、 I_1 、 I_2 …インバータ、 Q_1 、 Q_2 …MOSトランジスタ、 $R_1 \sim R_4$ …抵抗、 X_1 …水晶振動子。

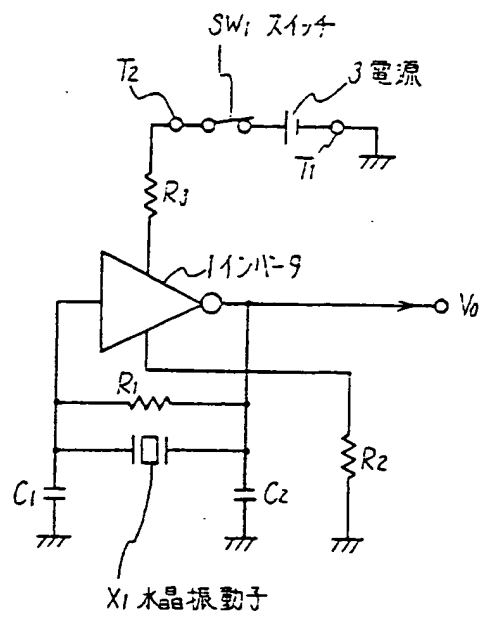
代理人 弁理士 内 原 晋



第1図



第2図



第 3 図